<u>Детекторная электроника мюонного спектрометра</u>

<u>АЛИСА</u>



ALICA — детектор, изучающий столкновения тяжелых ядер.

Центральные столкновения порождают кварк-глюонную плазму.

Время жизни: иоктосекунды (10⁻²⁴ s),

Температура: 300 МэВ (3.48 10¹² К)

Изучают по вторичным продуктам – в частности мюон-антимюонным парам









Внешний детектор

- Пропорциональные проволочные камеры, падовая структура: S=100 m2
- Вычисление координат мюонных треков по амплитудам сигналов (Матиссон-Гатти)
- Слат: h= 40 см, I max = 2.4 m
- Пады: w = 4mm , l = 6-24 vmm, Cd = 40-80 пФ.
- Рабочий газ ArCO2, HV 1650- 1800V, gas gain 20 000.
- Общее число детектирующих сегментов 156: 140 слатов и 16 квадрантов
- Суммарное число измерительных каналов: 1.1 x10⁶.



Charge distribution

 $\frac{\rho(\lambda)}{q_{total}} = K1 \frac{1 - \tanh^2(K2\lambda)}{1 + K3(\tanh^2(K2\lambda))}$ $\lambda = \frac{x}{h}$

x— позиция, h-анод/катод , р плотность заряда



Collection time

Электроника первого поколения

- Front-End непосредственно на детекторных слатах
- Системы считывания 10 однотипных VME миникрейтов CROCUS (Claster ReadOut Concentrator System), которые принимают данные с 50 линий связи (PatchBuses)
- Связь осуществляется оптической линией связи DDL (Detector Data Link)



MANAS (GASSIPLEX) 16 ch: ЗЧУ, CR-RC фильтр Гаусса 4-го порядка, Tm = 1.2μ s, схема выборки хранения, выходной мультиплексор, BLR -нет

- Передача аналоговых сигналов последовательная. Запуск внешним триггерным сигналом
- Технология CMOS 1.2 **µ**m, Параметры входного транзистора:
- рканал, L=1.5 µm, W= 9000 **µ**m, Id = 300 **µ**A, g_m= 6.5 mS
- Cin = 15,4 pF, ENC = 600 e + 15 e/pF, питание +/- 2.5V, +3V, P = 13 mW/channel.



FRONT-END PCB (MANU)





Микросхема монтируется на 64 канальной печатной плате

- аналоговый мультиплексор
- два 12 разрядных АЦП 0.5 µs (Analog Devices AD7495)
- интерфейс управления и передачи данных заказная цифровая микросхема MARC разработка и производство INFN (Италия)
- интерфейс последовательный (token-ring).

<u>Временная диаграмма</u>



- Триггер три уровня: L0, L1, L2 Задержка t₀ = 1.2 **µ**s, 6.2 **µ**s и 88 **µ**s
- В момент времени LO фиксируется амплитуда измеряемых сигналов и стартует процесс аналого-цифрового преобразования 38 µs.
- Затем данные по шинам данных передаются со скоростью 20Mbyte/s. Время передачи по шине 640 bytes/s = 32 µs. В случае когда физические условия в момент времени L1a (6.2 µs) не выполняются, аналого-цифровой процесс прекращается и происходит сброс сигнала BUSY.
- CROCUS FRT busy = 200μ s
- CROCUS_CRT $\Delta t = 270 \mu s + 80 \mu s$,
- при средней плотности данных 3.2 kbyte по конвеерной линии в DDL оптической линии передаются в компьютерный зал.
- Результирующее время занятости (мертвое время) равно 550 **µ**s.

 Система питания централизованная. Питающие напряжения отдельные для аналоговой и цифровой электроники подаются от отдельных источников по шинам питания через дистрибьюторные блоки. Питание спектрометрической системы собрано по схеме с общей землей между высоковольтной и низковольтной системами. Низковольтное питание: 30 блоков WIENER PL512. P = 15 kW, водяное охлаждение. Высоковольтное питание HV : CAENSY1527.

Опыт эксплуатации

- Коэффициент преобразования: 3.6 +/-0.3 мВ/фКл, линейный динамический диапазон 695 фКл, ENC (1000-1800) эл, Cdet = (30-105) пФ. Сбор заряда 65%. MPV = 54 (of 82) fC
- Потребовалась точная настройка аналоговых источников питания (+/- 1 мВ)
- Возникли проблемы типичные для сложных систем централизованного питания. Эти проблемы обусловлены внешними паразитными наводками, многочисленными контурами заземления и другими видами нестационарных шумов. Много времени отняли контактные проблемы.
- Коррекция усиления на основе базы данных
- 400 MANU (2.3%) было заменено
- Основной причиной замены электроники является то , что она была рассчитана на работу при низких входных загрузках 1 kHz и не способна работать при высоких входных загрузках (50-100 kHz)



ЭЛЕКТРОНИКА ВТОРОГО ПОКОЛЕНИЯ

- Модернизация направлена на обработку сигналов с высокой пропускной способностью при входных загрузках 100 kHz
- Детекторные слаты, включая сигнальный разъем не модернизируются
- Принципиально меняется методика и алгоритм обработки сигналов. Триггерный режим заменяется на режим самозапуска, аналоговое формирование сигналов заменяется на цифровое с предварительным аналоговым фильтром гаусса
- Головной элемент 32 канальная заказная микросхема SAMPA.
 Конструкция 372 ножек BGA
- Устройства считывания, предварительной обработки и передачи входной информации также меняются, причем скорость передачи данных повышается до 4.8 Gb/s.
- Функционально состав электроники упрощается до 2-х :

SAMPA головная микросхема

SOLAR модуль VME передачи данных

Структура чипа SAMPA



- TFBGA package
- 15 mm x 15 mm body size
- 1.2 mm thickness
- 0.65 mm ball pitch.
- 372 balls
- 4-substrate layers

<u>Спецификация</u>

	MUON	ТРС	
Входной сигнал	положительный	Отрицательный	
Емкость детектора	40-80 pF	12-20 pF	
Чувстительность	4 mV/fC	(20-30)mV/fC	
Cfb, Rfb	2.4 pF, 6 M Ω	(0.6 -1.2)pF,	
Формирование	300ns	160 ns	
	43 fC		
ENC	950 e (40 pF)	580e (18.5 pF)	
	1600 e (80 pF)		
Диапазон	500 fC, 2 V	(100-67) fC,	
Взаимные наводки	0.2%	0.3%	
Число разрядов АЦП	10 (9.2) bit		
Частота АЦП	10 MHz	(10- 20) MHz	
Нелинейность			
Интегральная	0.65 LSB		
Дифференциальная	0.6 LSB		
Мощность/канал	12mW		



Зарядочувствительный предусилитель

- R fb = 6M Ω . входной резистор 70 Ω , емкость обратной связи Cfb = 0.8 pF
- Параметры входного транзистора: n -канал, разделен на 40 стрипов, L=130 nm, W=2000 µm, режим сильной инверсии, ток стока I_D= 2mA, крутизна g_m = 44mS, входная емкость Cd =13 pF



Фильтр второго порядка (Т-мост)







- конденсаторная матрица (Cmin = 45 fF, 4µm x 7µm)
- внутренняя частота 80 MHz
- схема выборки хранения на один цикл измерения
- коммутирующие ключи
- компаратор из 15 транзисторов и 5 логических элементов
- схема логики последовательного приближения.



 $ADC_{noise\,r.m.s.} = q/\sqrt{12}$ 10 bit / 2 V max - ENOB = 9.3



SAMPA + 60pf (Cdet) noise analog +ADC : Vr.m.s = 0.6 ch x 2 mV, ENC_{Σ} = 1800 e

Цифровая обработка –стабилизация базовой линии

ВС1 выполняет функцию подавления ионных хвостов. IIR фильтр 4-го порядка (два последовательных 13 разрядных фильтра) + схема вычитания.

Конфигурация фильтра устанавливается 8 коэффициентами

• BC2 корректирует флуктуации сигнала обусловленные нестационарными шумами.

Фильтр скользящего среднего моделирующий базовую линию е + схема вычитания. Формирование сигнала моделирующего базовую линию происходит в амплитудном окне ее колебаний.

 ВСЗ нелинейная схема. Работает без порогов поэтому более адаптивна: не имеет мертвых зон и не требует точной настройки параметров. Основная идея состоит в том, что моделируемая базовая линия не фиксируется на время действия сигнала, а пролонгируется с выбранным наклоном. Крутизна наклона регулируется индивидуально.



Чтение данных

- Чтение данных в непрерывной моде по четырем линиям 80 Mbs (e-link)
- В триггерном режиме пакет данных формируется по внешнему сигналу, чтение данных осуществляется по сигналу триггера с мимальным временем ожидания 9.6 µs.
- Размер кластера данных одинаков для всех 32 каналов и зависит от амплитуды сигнала. Кластеры объединяются в пакет выходных данных из 1024 10 разрядных слов.
- В случае наложений, временной кадр останавливается и немедленно начинает формироваться новый полноценный пакет данных, а сигнал наложений маркируется.
- При работе в условиях высоких входных загрузок когда буферная память микросхемы переполняется контроллер микросхемы формирует усеченный пакет данных, который маркируется в заголовке пакета данных. Структура пакета данных показана на рисунке Сжатие данных реализуется: кодами Хофмана и подавлением пустых каналов.
- SLVS линия связи это высокоскоростная дифференциальная линия с волновым сопротивлением 100 Ом и амплитудой сигнала 200 мВ.

49		Data Header 0				
Parity 2 bit	Bunch counter 20-bit	Cluster Q-ty 10- bit	Channel number 5-bit	Chip Number 4 bit	Data Pacet 3- bit	Heming code 6 -bit

Data (variable length)

	Cluster	0_	_		Cluster	0_
Data	Time	Cluster		Data	Time	Cluster
10-bit	counter	size		10-bit	counter	size



<u>SOLAR</u>

- Двунаправленная связь между детекторной электроникой и компьютерным залом. осуществляется по оптическим линиям 4.8 Gb/s. Функционально линия связи осуществляет три действия: передачу измеряемых данных, передачу временной информации, включая триггерные сигналы, и передачу управляющих сигналов (slowcontrol).
- Конструктивно линия разделена на детекторную часть, которая работает в тяжелых физических условиях включая радиационную стойкость, и лабораторную часть, которая работает в компьютерном зале. Модуль SOLAR, расположенный в непосредственной близости от детектра обслуживает 80 микросхем SAMPA.
- Базовый элемент микросхема GBTX (26 авторов)







Time Jitter at Output of Solar (PRBS mode)



Jitter

- ITU-T Definition: A Measure of the short term time variations of the significant instances of a digital signal from their ideal positions in time.
- MJSQ Definition: The deviation of a signal edge time at a defined amplitude of the signal from a reference time.



TJ –total jitter, PJ –periodic, RJ -random BUJ- bounded uncorrelated jitter DDJ- data dependant

GBTX





<u>MFT</u>

• Пиксельный Si детектор, всего $x10^9$ каналов, S = 10 m^2 , разрешение 5 μ m.



Параметр		MFT	OuterBarrel	
Площадь микросхемы	(mm)	15x	30	
Площадь пикселей	(µm)	28 x 28	28 x 28	
Толщина пикселя	(µm)	50	100	
Число пикселей		5242	288	
Коэффициент преобразования		4mV/e		
Пространственное разреше	ение (μm)	5	10	
Эффективность		99%		
Число ложных срабатывани	ий	<10-5		
Время формирования сигна	ала (µs)	<4		
Мертвое время				
Пропускная способность	(kHz)	10	0	
Рассеиваемая мощность ((nW/pixel)	40		
	(mW/cm^2)	20-35		
Максимальная поглощенна	я доза	2700	100	
TID	(krad)			
Радиационная стойкость к	не			
ионизирующему излучения	o NIEL1	$1.7 \text{ x} 10^{13}$	1.7×10^{12}	
Me	Vn _{eqv} /cm ²			
Радиационная стойкость к				
ионизирующему излучения	0	5 M		
1MeVn _{eav} /cm ²				

Технологическая база - 0.18 µm. Структура микросхемы:

- Si подложка типа p с высокоомным эпитаксиальным слоем (>1 kΩ/cm)
- Пиксельная матрица 512 x 1024. Генерируемый заряд 80 е/µm,
- Vbias < 10V
- Собственно детектор диод n канал, d = 2 μ m, напряжение смещения <10 V
- CMOS 180nm
 3 nm thin gate oxide, 6 metal layers















Напряжение в точке полюса pix_out управляет затвором транзистора M8, который вместе с транзистором M7 выполняют функцию дискриминатора. Рабочая точка дискриминатора установлена так, что I_{M8}<I_{D8}, а выход компаратора соответствует высокому уровню. Порог срабатывания дискриминатора определяется уровнем сигнала при котором I_{M8} = I_{D8.} При I_{M8}>I_{D8} транзистор M8 открыт и выход компаратора равен нулю. Для ограничения длительности выходного импульса при амплитудных перегрузках введен транзистор M6, включенный диодом. В исходном состоянии он закрыт и открывается для увеличения разрядного тока. Открытие M6 происходит когда сигнал превышает порог в 1.4 раза. Статические параметры входной цепи: Ibias=20nA, Ithr=0.5nA

Головной каскад детекторной электроники оптимизируется по двум параметрам: максимальному отношению сигнал/шум и минимуму потребляемой мощности. Минимизация потребляемой мощности диктует режим работы транзистора в промежуточной зоне слабой и сильной иинверсии Id.

Inversion coefficient

$$ENC^2 = ENC_{sw}^2 + ENC_f^2$$

$$ENC_{sw}^{2} = \frac{u_{1}}{2\tau_{p}}e_{n,sw}^{2}(C_{d}+C_{in})^{2}$$
$$e_{n,sw}^{2} = \frac{4kTn\gamma}{4}$$

 g_m

$$ENC_f^2 = a_2 \pi \frac{K_F}{C_{ox}WL} (C_d + C_{in})^2$$



• Важнейший параметр - сотношение <u>S/N – Power - Cin</u>

$$\frac{S}{N} = \frac{Q_{in}}{C_{in}} \frac{1}{\sqrt{\frac{2KTn\Delta F}{g_m}}} \sim \frac{Q_{in}}{C_{in}} \sqrt{g_m} \sim \frac{Q_{in}}{C_{in}} \sqrt{P}$$

В режиме слабой инверсии для заданного отношения сигнал/шум уменьшение входной емкости в два раза позволяет снизить потребляемую мощность в четыре раза.

• При отношении Qin/Cin = 250-360 mV и в принципе в пиксельной электронике можно обеспечить режим аналоговой электроники в отсутствие сигнала достаточно близкий к спящему.

Параметры ALPIDE: Qin =80 e/µm x 50 x 1.6 10⁻¹⁹ = 0.64 fC,
 Cin =4 fF, Q/Cin = 160 mV, gain = 4 mV/e, Vnoise = 250-300 µV, ENC =5-7 e,
 P = 40 nW/pixel. Входной транзистор: W= 0.92µm, L= 0.18 µm,
 Режим слабой инверсии: I_D = 20 nA
 Время формирования сигнала: 4 µs





Головная логика ALPIDE включает в себя три регистра: статусный регистр, регистр маски и регистр тестового импульса. При совпаденнии входного сигнала (компаратора) со считывающим стробом, информация записывается в статусный регистр и затем передается в кодировщик адреса. Статусный регистр сбрасывается сигналом RESETили PIXRST. Регистр маски в активном состоянии запрещает выдачу информации, что уменьшает число наложений и обеспечивает защиту от шумовых срабатываний.

Функциональная схема



Data -1.28 Gbit, Slow Control -40 MHz, P -225 mW/sensor

Система питания – распределенная DC/DC convertors (FEASTAMP)

Радиационная стойкость ALPIDE

